

**计算机与信息 学院实验报告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 实验课程： | 计算机组成原理实验 | | | | | |
| 实验编号： | Project 5 | | | | | |
| 实验名称： | Verilog HDL行为建模方法 | | | | | |
| 实验人员： | 学号 | 18111303044 | |  | |  |
| 姓名 | 邵一波 | |  | |  |
| 班级 | 18计算机类一班 | |  | |  |
| 实验日期： | 2019-10-14 | | | | | |
| 实验室： | 学苑南楼2幢202 | | | | | |
|  |  | | | | | |
| 实验评价： |  | | | | | |
| 实验成绩： | |  | 评价日期： |  | |
|  | 指导教师： | |  | | | |

# Verilog HDL行为建模方法

# 一、实验目的

## 1.掌握Verilog HDL的行为建模方法。

## 2.掌握Verilog HDL的行为建模方法的验证技术。

# 二、实验工具

## 1.Xilinx Vivado 2014.2软件。

## 2.Windows系统PC机。

# 三、实验要求

## 1.利用Verilog HDL的行为建模方法对“举重裁判表决电路”建模和验证。

## 2.利用Verilog HDL的行为建模方法对“共阳极七段发光二极管的二－十进制译码器”建模和验证。

# 四、实验内容

## 1. “举重裁判表决电路”行为建模

设计一个举重裁判表决电路。设举重比赛有3个裁判，一个主裁判和两个副裁判。杠铃完全举上的裁决由每一个裁判按一下自己面前的按钮来确定。只有当两个或两个以上裁判判明成功，并且其中有一个为主裁判时，表明成功的灯才亮。

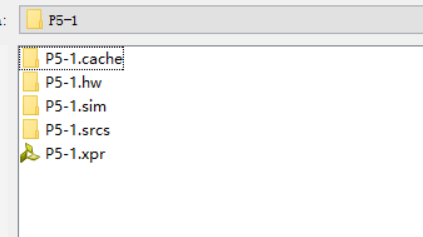
设主裁判为变量A，副裁判分别为B和C；表示成功与否的灯为Y，根据逻辑要求列出真值表。

表1 “举重裁判表决电路”真值表

|  |  |  |  |
| --- | --- | --- | --- |
| *A B C* | Y | *A B C* | Y |
| 0 0 0  0 0 1  0 1 0  0 1 1 | 0  0  0  0 | 1 0 0  1 0 1  1 1 0  1 1 1 | 0  1  1  1 |

得到逻辑表达式：。

### (1)创建工程P5-1



### (2)行为建模

module decision\_behavior(a,b,c,y);

input wire a,b,c;

output reg y;

always @(a,b,c)

begin

y=(a&b)|(a&c);

end

endmodule

### (3)仿真，查看波形

`timescale 1ns/100ps

module test\_decision();

reg clk\_1Hz,a,b,c;

wire y;

decision\_behavior u0(a,b,c,y);

always #50 clk\_1Hz = ~clk\_1Hz ;

initial

begin

clk\_1Hz=0;

#100;

a=0;b=0;c=0;

#100;

a=0;b=0;c=1;

#100;

a=0;b=1;c=0;

#100;

a=0;b=1;c=1;

#100;

a=1;b=0;c=0;

#100;

a=1;b=0;c=1;

#100;

a=1;b=1;c=0;

#100;

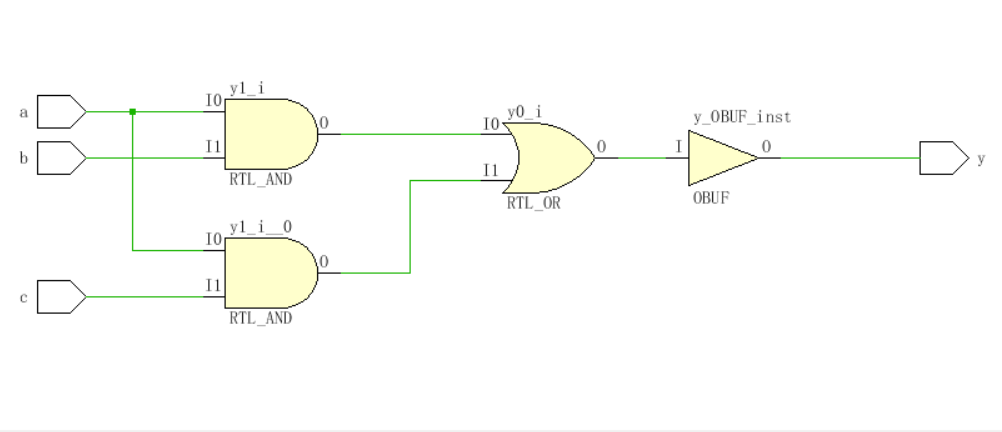
a=1;b=1;c=1;

end

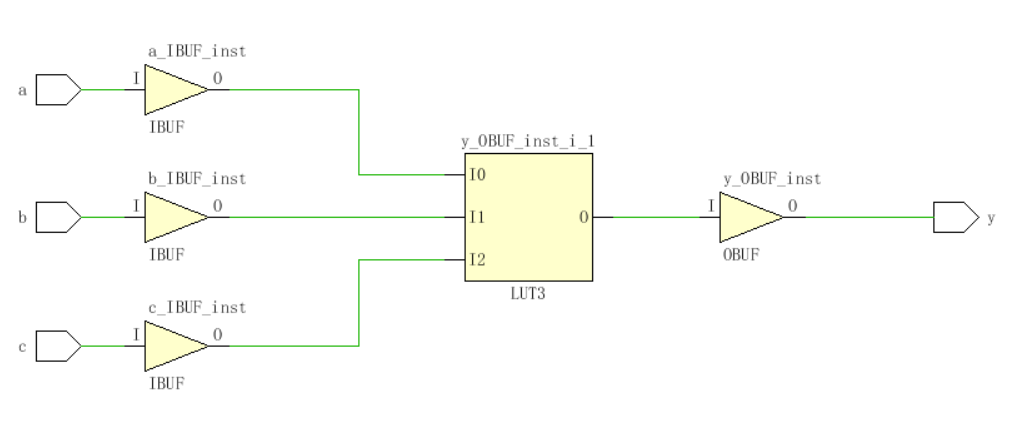
endmodule



### (4)进行RTL分析，查看电路原理图

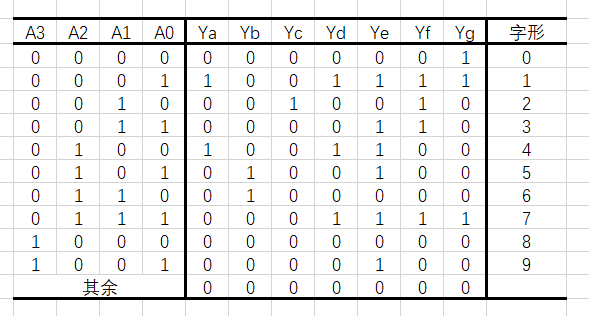


### (5)进行综合，查看电路原理图

****

## 2. “共阳极七段发光二极管的二－十进制译码器”行为建模与仿真

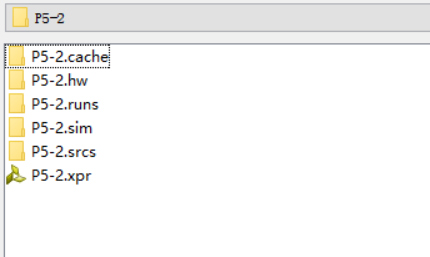
表2 “共阳极七段发光二极管的二－十进制译码器”真值表



利用**Karnaugh**图获得的简化逻辑关系如下：



### (1)创建工程P5-2



### (2)行为建模

module led\_7(a,y);

input wire [3:0]a;

output reg [0:6]y;

always @(a)

begin

y[0] = ~(a[3] | a[1] | (a[2]&a[0]) | ((~a[2])&(~a[0])));

y[1] = ~(~a[2] | ((~a[1])&(~a[0])) | (a[1]&a[0]));

y[2] = ~(a[2] | (~a[1]) | a[0]);

y[3] = ~a[3]&((a[0]&~a[1]&~a[2]) | (~a[0]&~a[1]&a[2]) | (a[0]&a[1]&a[2]));

y[4] = ~(((~a[2])&(~a[0])) | (a[1]&(~a[0])));

y[5] = ~(a[3] | (~a[1]&(~a[0]|a[2])) | (a[2]&~a[0]));

y[6] = ~(a[3] | (a[2]&(~a[1])) | ((~a[2])&a[1]) | (a[2]&(~a[0])));

if(a[3] == 1)

if(a != 4'b0001 && a!= 4'b1001)

y = 7'b0000000;

end

endmodule

### (3)编写Test Bench

`timescale 1ns/100ps

module test();

reg clk\_1Hz;

reg [3:0]a;

wire [0:6]y;

led\_7 u0(a,y);

always #50 clk\_1Hz = ~clk\_1Hz ;

initial

begin

clk\_1Hz=0;

a = 4'b0000;

#100;

a = 4'b0001;

#100;

a = 4'b0010;

#100;

a = 4'b0011;

#100;

a = 4'b0100;

#100;

a = 4'b0101;

#100;

a = 4'b0110;

#100;

a = 4'b0111;

#100;

a = 4'b1000;

#100;

a = 4'b1001;

end

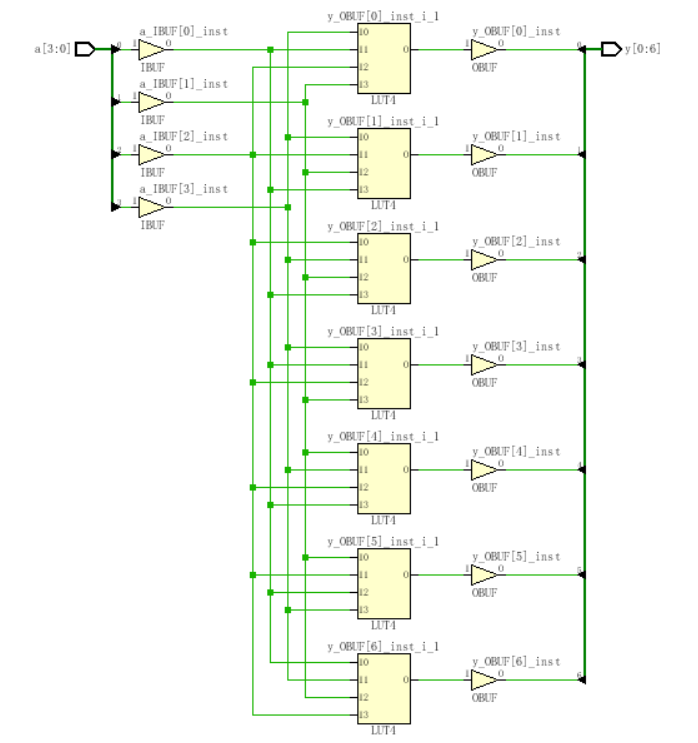
endmodule

### (4)仿真，查看波形

****

### (5)进行RTL分析，查看电路原理图

### (6)进行综合，查看综合后电路原理图

****

# 五、实验思考

## 1.行为建模的特点是什么？有何优点和缺点？

**【答】** 从一个很高的抽象角度来表示电路，可以在设计早期进行良好的整体规划，从电路外部行为进行描述。

## 2. 行为建模中多条赋值语句的赋值符号左侧可以是什么？右边可以是什么？

**【答】** 左侧reg类型，右侧wire类型

## 3.行为建模中多条阻塞赋值语句的顺序对建模有影响吗？它们之间是顺序的关系还是并行的关系？

**【答】** 有影响，顺序

## 4.行为建模中多条非阻塞赋值语句的顺序对建模有影响吗？它们之间是顺序的关系还是并行的关系？

**【答】** 无影响，并行